

(2)

1

【特許請求の範囲】

【請求項 1】一対の主端子及び制御端子を有し、一方の主端子が基準電位に電気的に接続される第1のスイッチング素子と、

両端を有し、一端が第1のスイッチング素子の他方の主端子と容量性負荷の一端とに電気的に接続され、他端が容量性負荷の他端と直流電源とに電気的に接続される抵抗と、

一対の主端子及び制御端子を有し、一方の主端子が基準電位に電気的に接続され、他方の主端子が第1のスイッチング素子の他方の主端子に電気的に接続される第2のスイッチング素子と、を備える半導体回路。

【請求項 2】請求項 1 の半導体回路において、前記第2のスイッチング素子に流れる電流が、前記第1のスイッチング素子に流れる電流よりも大きく、かつ通流時間が短い半導体回路。

【請求項 3】請求項 1 の半導体回路において、前記容量性負荷が絶縁ゲート型半導体装置のゲート容量である半導体回路。

【請求項 4】請求項 1 の半導体回路において、さらにツェナーダイオードが前記抵抗と電気的に並列接続される半導体回路。

【請求項 5】請求項 1 の半導体回路において、さらに前記第1のスイッチング素子の前記一方の主端子は抵抗素子を介して基準電位に電気的に接続される半導体回路。

【請求項 6】請求項 1 の半導体回路において、さらに前記第2のスイッチング素子の前記他方の主端子は抵抗素子を介して基準電位に電気的に接続される半導体回路。

【請求項 7】一対の主端子及び制御端子を有し、一方の主端子が基準電位に電気的に接続される第1のスイッチング素子と、

両端を有し、一端が第1のスイッチング素子の他方の主端子と容量性負荷の一端とに電気的に接続され、他端が容量性負荷の他端と直流電源とに電気的に接続される抵抗と、

一対の主端子及び制御端子を有し、一方の主端子が容量性負荷の一端に電気的に接続され、他方の主端子が抵抗の他端に電気的に接続される第2のスイッチング素子と、を備える半導体回路。

【請求項 8】請求項 7 の半導体回路において、前記容量性負荷を放電させるときに、前記第2のスイッチング素子をターンオンさせる半導体回路。

【請求項 9】請求項 6 の半導体回路において、前記容量性負荷が絶縁ゲート型半導体装置のゲート容量である半導体回路。

【請求項 10】一対の主端子及び制御端子を有し、一方の主端子が基準電位に電気的に接続される第1のスイッチング素子と、

10

2

流電源とに電気的に接続される抵抗と、

一対の主端子及び制御端子を有し、一方の主端子が容量性負荷の他端に電気的に接続され、他方の主端子が容量性負荷の一端に電気的に接続され、制御端子が抵抗の一端に電気的に接続される第2のスイッチング素子と、第2のスイッチング素子の主端子間に電気的に接続されるツェナーダイオードと、

第2のスイッチング素子の一方の主端子と制御端子の間に電気的に接続されるダイオードと、

一対の主端子及び制御端子を有し、一方の主端子が基準電位に電気的に接続され、他方の主端子が第2のスイッチング素子の一方の主端子に電気的に接続される第3のスイッチング素子と、を備える半導体回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体回路に関する。

【0002】

【従来の技術】異なる直流レベルを有する複数の回路において、第1の直流レベルで動作する回路から第2の直流レベルで動作する回路へと信号を伝達するための回路としては図1に示す従来回路が広く利用されている。

【0003】図1において、NMOS MN1のドレンは抵抗R1の一端及びツェナーダイオードZD1のアノードに接続され、NMOSのソースはGNDに接続される。抵抗R1の他端及びツェナーダイオードZD1のカソードは電源VHに接続される。このNMOS MN1と抵抗R1とツェナーダイオードZD1からなる回路Aは一般にレベルシフト回路と呼ばれ、NMOS MN1のゲートに制御信号を入力することでツェナーダイオードZD1のツェナー電圧を利用してPMOS MP1のゲートにON/OFFの制御信号を入力することができる。例えば、PMOS MP1をONとするためには、NMOS MN1のゲートに所定の電圧を印加し、NMOS MN1をONとする。この時電源VHから抵抗R1を介しNMOS MN1に電流が流れ、抵抗R1の両端には電圧が発生するが、抵抗R1と並列に接続されたツェナーダイオードZD1により、PMOS MP1のソース・ゲート間の電圧はツェナー電圧で決まる電圧が印加され、PMOS MP1をONとすることができる。

【0004】PMOS MP1をOFFとする場合は、NMOS MN1のゲート電圧を閾値以下とすることで、NMOS MN1をOFFとすると抵抗R1によりPMOS MP1のゲートとソースは同電位となるためPMOS MP1をOFFとすることが出来る。

【0005】

【発明が解決しようとする課題】上記従来回路によれば、簡単な回路構成で第1の直流レベルで動作する回路

(3)

3

スピードの点と消費電力の点で問題となることを以下に説明する。

【0006】図1に示す従来回路において、PMOS MP1をONとする場合にレベルシフト回路に電流が流れ、特に電源VHが高圧の場合、PMOS MP1のON期間に電源VHからNMOS MN1に流れる電流が、回路の発生損失として問題となる。

【0007】上記電流は、レベルシフト回路を高速化する場合、特に顕著に増大するため、高速な回路への適用は困難であることを、以下に具体例を示し説明する。

【0008】例えば、電源VHを150V、レベルシフト回路の負荷をPMOS MP1のゲート容量CGSとし、この容量値を100pF、ゼナーダイオードZD1のゼナー電圧を6Vとした場合で、かつPMOSのONを高速化するため、ゲート容量の充電時間を50nSで行おうとすると、充電に必要な電流は、

$$\text{必要電流} = (\text{ゼナー電圧}) \times (\text{容量}) \div (\text{充電時間}) \\ = 6 \text{ (V)} \times 100 \text{ (pF)} \div 50 \text{ (nS)}$$

$$= 12 \text{ (mA)}$$

となる。レベルシフト回路に上記電流が流れた場合の発生損失は、

$$\text{発生損失} = (\text{電流}) \times (\text{VH電源電圧})$$

$$= 12 \text{ (mA)} \times 150 \text{ (V)}$$

$$= 1.8 \text{ (W)}$$

となる。実際の回路動作では、上記の発生損失にレベルシフト回路の動作デューディを考慮するため、発生損失は、1.8W以下となるが、この値は、モノリシックICにおいては、通常のプラスチックパッケージの許容損失が1W程度であることを考えると、非常に大きな値であるといえる。

【0009】従って従来回路の第1の問題点は、上述した通り、回路を高速化する場合の発生損失の増大であるが、レベルシフト回路の負荷が容量性であることから、負荷となる容量が大きい場合も同様に発生損失が増大する。

【0010】次に、PMOS MP1のOFFを高速化する場合に生じる、第2の問題点について説明する。

【0011】PMOS MP1のOFFは、抵抗R1とPMOS MP1のゲート容量CGSで決まるCRの放電と説明することができるため、PMOS MP1のOFFを高速化するためには、抵抗R1の抵抗値を下げる必要がある。この場合の悪影響は、PMOS MP1がONする時電流が増大し上記第1の問題に帰着することである。以下にこの理由を説明する。

【0012】PMOS MP1をONとする場合に、NMOS MN1をONとして抵抗R1の両端に電圧を発生させることは、上述した通りであるが、抵抗R1の抵抗値を下げるとき、抵抗R1に発生する電圧が小さくなるこ

4

らないため、上記第1の問題に帰着することになる。

【0013】以上の問題を纏めると、従来回路においてはレベルシフト回路の負荷（容量）が大きい場合、あるいは高速化が必要な場合に、回路の発生損失が増大するという問題があることが分かる。

【0014】本発明の目的は、前述の問題に鑑み、単純な回路構成にて低消費かつ高速に容量性負荷を駆動できる半導体回路を実現することにある。

【0015】

【課題を解決するための手段】本発明の半導体回路は、一方の主端子が基準電位、例えば接地電位に電気的に接続される第1のスイッチング素子と、一端が第1のスイッチング素子の他方の主端子と容量性負荷の一端とに電気的に接続され、他端が容量性負荷の他端と直流電源とに電気的に接続される抵抗を備える。以上の回路は、例えば、いわゆるレベルシフト回路を構成する。さらに、この半導体回路は、一方の主端子が基準電位に電気的に接続され、他方の主端子が第1のスイッチング素子の他方の主端子に電気的に接続される第2のスイッチング素子を備える。第1及び第2のスイッチング素子としては、MOSFETやバイポーラトランジスタなど種々の半導体スイッチング素子を適用できる。

【0016】このような本発明の半導体回路によれば、容量性負荷を充電するために第1及び第2のスイッチング素子をターンオンさせると、第2のスイッチング素子に流れる電流を第1のスイッチング素子に流れる電流よりも大きくかつ通流時間を短くすることができる。すなわち、比較的大きな電流で容量性負荷が高速に充電される。さらに、容量性負荷が充電されたあとは、第1のスイッチング素子に流れる必要最小限の電流で容量性負荷の電圧が維持されるので、半導体回路の消費電力を低減することができる。

【0017】また、本発明の半導体回路は、一方の主端子が基準電位に電気的に接続される第1のスイッチング素子と、一端が第1のスイッチング素子の他方の主端子と容量性負荷の一端とに電気的に接続され、他端が容量性負荷の他端と直流電源とに電気的に接続される抵抗を備える。さらに、この半導体回路は、一方の主端子が容量性負荷の一端に電気的に接続され、他方の主端子が抵抗の他端に電気的に接続される第2のスイッチング素子を備える。

【0018】このような本発明の半導体回路によれば、容量性負荷を放電させるときに第2のスイッチング素子をターンオンさせることにより、容量性負荷に蓄積された電荷を高速に放電することができる。

【0019】なお、容量性負荷としては、例えば、絶縁ゲートバイポーラトランジスタ（IGBT）やMOSFETなどの絶縁ゲート型半導体装置のゲート容量があ

(4)

5

体装置を駆動する場合、すなわち大きなゲート容量が負荷となる場合であっても、高速化かつ低消費電力のオン・オフ駆動が可能である。特に、低消費電力であることにより、一つの半導体チップに多数の駆動回路が搭載されたモノリシックICが実現される。

【0020】以上のように本発明によれば、レベルシフト回路の容量性負荷の駆動を、容量充電と電圧維持に分けたことで、回路の損失をほぼゼロとできる。さらに、負荷容量の増大あるいは高速化に対しても対応が容易にできる。さらに、レベルシフト回路の電流を増大させることなしに、高速にレベルシフト回路をOFFすることが可能である。

【0021】従って、簡単な回路構成と高速かつ低損失な回路を実現できるため、モノリシリック化が容易であり、さらにレベルシフト回路の入力がOFFの時、電源シーケンスフリーとすることが可能である。

[0022]

【発明の実施の形態】本発明の第1の実施例である回路構成を図2に示し説明する。図2において、第1のNMOSトランジスタMN1のドレインは、抵抗R1の一端及びツェナーダイオードZD1のアノードに接続され、MN1のソースはGNDに接続される。抵抗R1の他端及びツェナーダイオードZD1のカソードは、高圧電源VHに接続される。以上のようなレベルシフト回路に、PMOSトランジスタMP1のゲート容量CGSの充電用として、第2のNMOSトランジスタMN2を追加した基準電圧発生回路Bを構成する。MN2のドレインをZD1のアノードに、ソースをGNDに接続する。レベルシフト回路の負荷であるMP1のソースを高圧電源VHに、ゲートをZD1のアノードに、ドレインを抵抗R2を介してGNDに接続する。MP1のドレインとR2間に output 端子OUTを設ける。

【0023】以下、本実施例の動作について説明する。

【0024】NMOS MN2のゲートには、PMOS MP1のゲート容量CGSを高速で充電した後、OFFとなるような制御パルスを入力する。

【0025】今、MN2がONしたとすると電源VHから抵抗R1を介してMN2に電流I2が流れ、抵抗R1の両端には電圧が発生するが、抵抗R1と並列に接続されたツェナーダイオードZD1により、PMOS MP1のソース・ゲート間の電圧はツェナー電圧で決まる電圧が印加され、PMOS MP1をONとすることができる。

【0026】次に、NMOS MN2がOFFしたするとPMOS MP1のONを保つにはMP1のゲートに所定の電圧、この場合シエナーダイオードZD1のシエナーディオード電圧を印加し続ける必要がある。この電圧の維持は、NMOS MN1をONさせて電流I1を流すこと

6

OS MN 2はNMOS MN 1よりもアクティブ領域の面積が大きく、同じドレン・ソース間電圧および同じゲート電圧に対して、NMOS MN 2はNMOS MN 1よりも大きな電流を流すことができる。各NMOSのゲートには、同時に立ち上がる同じ大きさのゲート電圧信号パルスが印加される。NMOS MN 2に印加されるゲート電圧信号パルスの時間幅はNMOS MN 1よりも短い。従って、NMOS MN 2に流れる電流 I 2は、NMOS MN 1に流れる電流 I 1よりも値が大きくかつ通流時間が短い。このように比較的大きな電流 I 2によりゲート容量 CGS が高速に充電されるので、PMOS MP 1が高速にターンオンされる。さらに、電流 I 2の通流時間は短時間であり、かつ CGS 充電後はPMOS MP 1のオン状態を維持するために最小限の電流 I 1のみが流れるので、従来に比べ回路の電力損失が低減される。

【0028】なお、各NMOSのゲート電圧信号パルスの立上りは同時でもよいし、NMOSM2のゲート電圧信号パルスが先に立ち上がってもよい。また、NMOS M2の電流I2がNMOS MN1の電流I1よりも大きくなるならば、各NMOSのゲート制御電圧パルスの電圧値が異なっていてもよい。

【0029】以上により低消費で、PMOS MP1の高速ONが可能となる。

〔0030〕図3に本発明の第2の実施例を示す。

【0031】図3においては、第1の実施例において、NMOSトランジスタMN1のソースとGND間に及びMN2のソースとGND間にそれぞれ抵抗R3, R4を挿入し、基準電圧発生回路Cを構成したものである。

【0032】また、本実施例においても実施例1と同様に、I2はI1よりも値が大きい。さらに、本実施例においては、各NMOSのゲート信号電圧の大きさやVI特性のみならず抵抗R3、R4によってもI2、I1の大きさが変化する。従って、I1、I2の調整の自由度が大きくなり、I1、I2の最適化が容易になる。

【0033】本実施例を集積回路に適用する場合には、抵抗R3及びR4は、複数抵抗素子の接続の仕方あるいはレーザートリミングなどによって抵抗値を調整できるようになる。これにより、製造された複数の集積回路において、NMOS MN1の特性及びNMOS MN2の特性にばらつきが生じても、各集積回路のI1の値およびI2の値を、それぞれほぼ一定値にそろえることができる。従って、集積回路の製造歩留まりが向上する。

【0034】なお、電流 I 1 及び I 2 の調整の自由度を大きくするためには R 3 および R 4 の両方設けることが好ましいが、R 3 のみあるいは R 4 のみでもある程度の電流調整が可能である。

[0035] 図4に本発明の第3の実施例を示す。

(5)

7

に、ゲート・ドレイン間に抵抗R1を接続するように抵抗R1の一端にゲートを接続する。さらにダイオードD1のアノードをMN3のソースに、カソードをMN3のゲートにそれぞれ接続し基準電圧発生回路Dを構成したものである。

【0037】以下この動作につき説明する。

【0038】PMOS MP1がONの時は、電源VHからツェナーダイオードZD1を介してダイオードD1に電流が流れ、NMOS MN3のゲートにはソースに対してD1の順方向電圧VF分だけ低い電圧がかかる。そのため、NMOS MN3はOFFとなる。

【0039】一方、NMOS MN1及びMN2をOFFしてPMOS MP1をOFFとする時に、MP1のゲート容量CGSから抵抗R1に電荷が供給され、R1の両端に電圧が発生する。この電圧により、NMOS MN3がONしゲート容量CGSの放電を行う。この時、NMOS MN3は所定の時間でゲート容量CGSを放電できるような電流能力を持つように選ぶ。

* 【0040】NMOS MN2はPMOS MP1のゲートを高速で充電した後、OFFとなるような制御を行う。PMOS MP1のONを保つにはゲートに所定の電圧、この場合ツェナーダイオードZD1のツェナー電圧を印加し続ける必要がある。この電圧の維持は、NMOS MN1に電流を流すことで行う。この維持電流は、必要最小限とする。以上により低消費で、PMOS MP1の高速ONが可能となることを以下の例に示す。

【0041】例えば、電源VHを150V、レベルシフト回路の負荷をPMOS MP1のゲート容量とし、この容量値を100pF、ツェナーダイオードZD1のツェナー電圧を6Vとした場合で、かつPMOSのONを高速化するためゲート容量の充電時間を50nSとすると、充電に必要な電流は、上述した通り12mAとなる。PMOSのONを維持するためにNMOS MN1に流す電流を0.1mAとすれば、レベルシフト回路の損失は、

$$\begin{aligned}
 \text{発生損失} &= (\text{充電電流}) \times (\text{VH電源電圧}) \\
 &\quad \times (\text{NMOS MN2のONデューティ}) \\
 &\quad + (\text{維持電流}) \times (\text{VH電源電圧}) \\
 &\quad \times (\text{NMOS MN1のONデューティ}) \\
 &= 12 \text{ (mA)} \times 150 \text{ (V)} \times 50 \times 10^{-9} \\
 &\quad + 0.1 \text{ (mA)} \times 150 \text{ (V)} \times 1 \\
 &= 90 \text{ (nW)} + 15 \text{ (mW)} \\
 &\approx 15 \text{ (mW)}
 \end{aligned}$$

となる。充電電流は、従来と同じであるが充電時間を必要最小限とすることで、発生損失を従来回路1.8Wの1%以下に低減できることになる。

【0042】PMOS MP1をOFFさせる。

【0043】回路動作は、PMOS MP1がONの時は、NMOS MN3はOFFで、PMOS MP1をOFFとする時に、NMOS MN3をONとし、ゲート容量CGSの放電をNMOS MN3で行う。NMOS MN3は所定の時間でゲート容量CGSを放電できるような電流能力を持つように選ぶものとするが、NMOS MN3はNMOS MN1がONの時（即ちPMOS MP1がONの時）はOFFする回路であるため、上述した従来回路での問題は解決される。以上のことから、NMOS MN3及びダイオードD1を追加したことによりPMOS MP1を高速にOFFすることが可能となる。さらに、本発明の回路によれば、レベルシフト回路の入力であるNMOS MN1, MN2がOFFとなるとレベルシフト回路を高速にOFFするよう働くため、複数個の電源を持つ回路で必要な電源のシーケンスに対しても、シーケンスフリーとできる。

【0044】図5に本発明の第4の実施例を示す。

【0045】図5においては、第3の実施例において、

【0046】以下、この効果につき説明する。抵抗R5を設けない場合、PMOS MP1及びNMOS MN3の閾値電圧をそれぞれVTHP, VTHN、電源VHの電位をHVとすると、PMOS MP1のゲート電位はVTHN分だけ残り、ツェナーダイオードZD1に接合リーグがない限りHVに達することができない。つまり、基準電圧の0Vが実現されない。これは、VTHN > VTHPの際MP1にリーグ電流が流れることになる。そこで、該抵抗R5を設けると、PMOS MP1のゲート電位はHVに達することができ、基準電圧が0Vとなることを実現できる。

【0047】図6に本発明の第5の実施例を示す。

【0048】図6においては、図5の実施例に加えてマルチチャンネル出力とし、MN1及びMN2へ入力するロジック回路及び容量性負荷の駆動回路を接続した実施例を示す。容量性負荷の駆動回路Qは、MOS, IGBT, ダイオード、抵抗等から構成される駆動回路であれば、図6に示した回路以外の回路構成であってもよい。この半導体集積回路を用いて、ガス放電表示パネル（プラズマディスプレーパネル）、あるいはエレクトロルミネッセンス表示パネル（ELディスプレーパネル）等のフラットディスプレーパネルの表示を低消費で高速に駆

(6)

9

タイミングチャートを用いて説明する。

【0050】まず、タイミングチャート中の記号について* 【0051】

ST1, ST2

*で説明する。

VGMP

…それぞれMN1, MN2のゲートへの入力信号

S1, S2, Sn

…MP1 (MP2, …, Mp n) のゲート電位
…それぞれQ1, QB1, Q2, QB2, Qn
, QBnのゲートへの入力信号

OUT1, OUT2, OUTn…出力信号

図6において、MN1, MN2のゲートにハイを入力しONさせてPMOS MP1, MP2, MPnのゲート容量を充電する。この際、MN1に流れる電流I1はPMOSのON維持できるのに必要最小限の電流となるよう設定する。MN2に流れる電流I2 PMOSのゲートを高速に充電するため、I1より大きい電流とする。このPMOSのゲート電位はVHからZD1で決まるツェーナー電圧だけ降下して充電が完了する。この充電が終わると同時にMN2をOFFすることで低消費化が図れる。

【0052】PMOS MP1, MP2, Mp nがONしている間は、上側IGBT QT1, QT2, QTnはONとなる。この状態で、下側IGBTの駆動信号S1, S2, Snに順次パルス信号を入力することで、出力OUT1, OUT2, OUTnに順次ローを出力させることができる。

【0053】

【発明の効果】本発明によれば、高速にON・OFFが可能で、低消費電力の容量性負荷の駆動回路が実現できる。

10

*で説明する。

【0051】

…それぞれMN1, MN2のゲートへの入力信号

…MP1 (MP2, …, Mp n) のゲート電位
…それぞれQ1, QB1, Q2, QB2, Qn
, QBnのゲートへの入力信号

【図面の簡単な説明】

【図1】従来技術による回路図である。

【図2】本発明の第1の実施例を示す回路図である。

【図3】本発明の第2の実施例を示す回路図である。

【図4】本発明の第3の実施例を示す回路図である。

【図5】本発明の第4の実施例を示す回路図である。

【図6】本発明の第5の実施例を示す回路図である。

【図7】第5の実施例の動作を示すタイミングチャート。

【符号の説明】

R1, R2, R3, R4, R5, RB1, RB2, Rb
n, QR1, QR2, QR3…抵抗、ZD1…ツェーナー
ダイオード、D1, QD1, QD2, QD3…ダイオ
ード、MN1, MN2, MN3…NMOSトランジスタ、
MP1, MP2, Mp n…PMOSトランジスタ、VH
…高圧電源、VB…電源、IN, IN1, IN2…入力
端子、OUT, OUT1, OUT2, OUTn…出力端
子、CGS…ゲート容量、I…ロジック回路、Q…駆動回
路。

【図1】

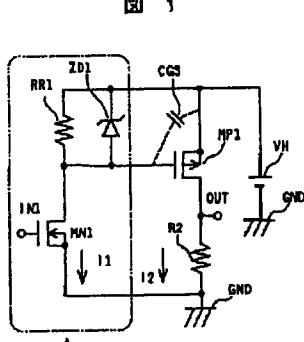


図 1

【図2】

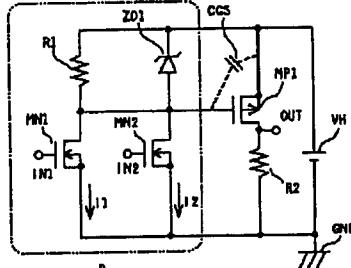


図 2

【図3】

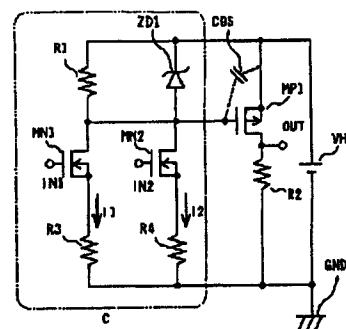
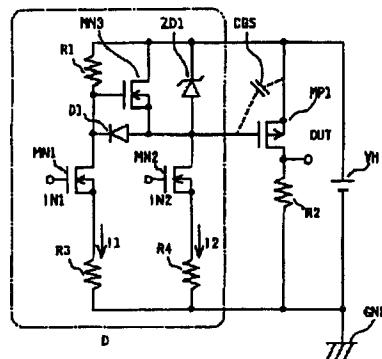


図 3

(7)

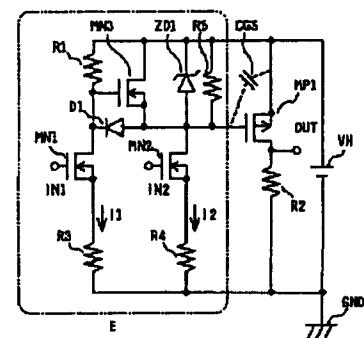
【図4】

図4

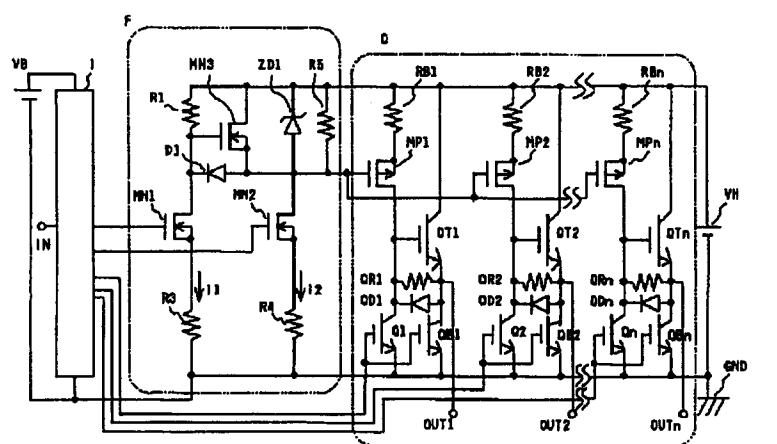


【図5】

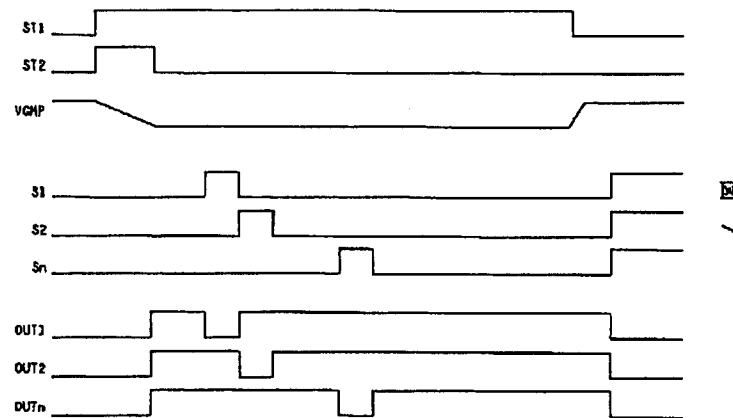
図5



【図6】



【図7】



全体情報

出願ソフトバージョン : 03. 22

チェック開始日時 : 2005年03月09日 20時10分51秒750ミリ秒

送信ファイルフォルダ : C:\Program Files\JP03\TAKE\WORK\APPLY\EIKOH-A\DATE\V4EP\Detail

1. [C:\Documents and Settings\ei\デスクトップ\05253300\ローム(株)\PRCAC.H TM]

最終結果

警告となる記載があります。以下の情報を参考にして、問題がないか確認して下さい。

メッセージ一覧

エラー : 0 件 重度の警告 : 2 件 軽度の警告 : 0 件 通知 : 0 件

1. 重度の警告 ⇔ 【特許文献n】または【非特許文献n】が1回も記載されていません。なるべく記載するようにしてください。 [V1AHB06303P-W]
2. 重度の警告 ⇔ 要約書は、なるべく全角200~400文字の範囲で記載してください。現在の文字数[504] (注:半角2文字=全角1文字としています) [V1AHB06304P-W]

重度の警告 ⇔ 【特許文献n】または【非特許文献n】が1回も記載されていません。なるべく記載するようにしてください。 [V1AHB06303P-W]

【書類名】明細書

【発明の名称】モータ駆動回路

【技術分野】

【0001】

本発明は、モータのドライバとして用いられるトランジスタを低消費電力でかつ高速に駆動することができるモータ駆動回路に係るものである。

【背景技術】

【0002】

図4に従来のモータ駆動回路を示す。本モータ駆動回路の最終出力段に設けられたトランジスタNMOS101とNMOS102からの出力には負荷としてのコイルが結線されており、そのコイルに流す電流を制御することによってモータ(図示せず)の制御を行う。同図に示すモータ駆動回路の構成について説明する。NMOS101とNMOS102は最終出力段に設けられたドライバであり、NMOS101のソースとNMOS102のドレインとの共通接続点が最終出力となる。NMOS101のドレインには電源電圧107が、NMOS101のゲートにはPMOS103とNMOS104とのドレインの共通接続点からの出力が接続されている。さらに、NMOS102のゲートにはロジック回路112が、PMOS103のゲートにはロジック回路110がそれぞれ接続されている。ここで、クランプ回路であるツェナーダイオード108, 109は、各ツェナーダイオードに逆方向飽和電流が流れ出すまでは、それぞれNMOS101のゲートとソース間の電位差(V_{GS})とNMOS104のゲートとソース間の電位差を確保するために用いられる。それと同時に、各ツェナーダイオードはNMOS101とNMOS104各々の V_{GS} への過電圧を防止するための機能も有する。最後に、PMOS105のゲートは、ロジック回路111に、NMOS106のゲート電圧は、ロジック回路113に接続されており、ロジック回路110, 111, 112, 113からの入力電圧の状態により最終出

01. 願書

02. 指定国

03. 氏名(名称)

通知 出願人1: 電話番号が記入されていません。

通知 出願人1: ファクシミリ番号が記入されていません。

04. 優先権

通知 優先権1: 先の出願はみなし取り下げとして扱われますので注意してください。
。

05. 生物

06. 申立て

07. 内訳

警告 明・請・要・図: 書式チェックで異常または警告が発生しています。詳細はチェック結果表示にて確認してください。

08. 手数料

09. 支払い

10. 注釈

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor circuit.

[0002]

[Description of the Prior Art] In two or more circuits which have different direct current level, the circuit is widely used from the circuit which operates by the 1st direct current level conventionally which is shown in drawing 1 as a circuit for transmitting a signal to the circuit which operates by the 2nd direct current level.

[0003] It sets to drawing 1 and is NMOS. The drain of MN1 is connected to the end of resistance R1, and the anode of zener diode ZD1, and the source of NMOS is connected to GND. The other end of resistance R1 and the cathode of zener diode ZD1 are connected to a power source VH. This NMOS Generally it is called a level shift circuit and the circuit A which consists of MN1, resistance R1, and zener diode ZD1 is NMOS. The zener voltage of zener diode ZD1 can be used in inputting a control signal into the gate of MN1, and the control signal of ON/OFF can be inputted into the gate of PMOS MP1. For example, it is NMOS in order to set PMOS MP1 to ON. A predetermined electrical potential difference is impressed to the gate of MN1, and NMOSMN1 is set to ON. At this time, resistance R1 is minded from a power source VH, and it is NMOS. It is PMOS by the zener diode ZD1 connected to resistance R1 and juxtaposition although the current flowed to MN1 and the electrical potential difference occurred in the both ends of resistance R1. The electrical potential difference decided by zener voltage is impressed, and the electrical potential difference between the source gates of MP1 is PMOS. MP1 can be set to ON.

[0004] PMOS It is NMOS when setting MP1 to OFF. It is making gate voltage of MN1 below into a threshold, and is NMOS. Since the gate and the source of PMOSMP1 will serve as same electric potential by resistance R1 if MN1 is set to OFF, it is PMOS. MP1 can be set to OFF.

[0005]

[Problem(s) to be Solved by the Invention] According to the circuit, it is conventionally [above-mentioned] possible to change a signal into the circuit which operates the signal of the circuit which operates by the 1st direct current level by easy circuitry by the 2nd direct current level, but it explains becoming a problem in respect of the point of speed, and power consumption depending on the circuit to apply below.

[0006] It sets in a circuit conventionally which is shown in drawing 1 , and is PMOS. It is PMOS when especially the power source VH is high pressure, although a current flows in a level shift circuit when setting MP1 to ON. It is NMOS from a power source VH to ON period of MP1. The current which flows to MN1 poses a problem as generating loss of a circuit.

[0007] Since the above-mentioned current increases notably especially when accelerating a level shift circuit, application in a high-speed circuit shows an example below, and explains a difficult

thing to it.

[0008] For example, it is PMOS about the load of 150V and a level shift circuit in a power source VH. When 50nS(s) tend to perform the charging time of gate capacitance in order to accelerate ON of PMOS when it considers as the gate capacitance CGS of MP1 and zener voltage of 100pF and zener diode ZD1 is set to 6V for this capacity value and, a current required for charge is need current $=(\text{zener voltage}) \times (\text{capacity}) / (\text{charging time})$.

$$= 6(\text{V}) \times 100(\text{pF}) / 50 (\text{nS})$$

$$= 12(\text{mA})$$

It becomes. Generating loss when the above-mentioned current flows in a level shift circuit is generating loss $= (\text{current}) \times (\text{VH supply voltage})$.

$$= 12(\text{mA}) \times 150 (\text{V})$$

$$= 1.8(\text{W})$$

It becomes. Generating loss is 1.8W in order to take into consideration DEYUDI of a level shift circuit of operation to the above-mentioned generating loss in actual circuit actuation. Although it becomes the following, it can be said that considering that the power dissipation of the usual plastic package is about 1W this value is a very big value in monolithic-IC-izing.

[0009] Therefore, conventionally, although it is increase of the generating loss in the case of accelerating a circuit, since the load of a level shift circuit is capacitive, when the capacity used as a load is large, generating loss increases similarly, as the 1st trouble of a circuit was mentioned above.

[0010] Next, PMOS The 2nd trouble produced when accelerating OFF of MP1 is explained.

[0011] PMOS OFF of MP1 is Resistance R1 and PMOS. Since discharge of CR decided by the gate capacitance CGS of MP1 can be considered, it is PMOS. In order to accelerate OFF of MP1, it is necessary to lower the resistance of resistance R1. The bad influence in this case is PMOS. When MP1 turns on, it is a current's increasing and coming back to the 1st problem of the above. This reason is explained below.

[0012] PMOS It is NMOS when setting MP1 to ON. Although it is as having mentioned above to make the both ends of resistance R1 generate an electrical potential difference by setting MN1 to ON, when the resistance of resistance R1 is lowered, the electrical potential difference generated to resistance both ends will become small. It is NMOS in order to make this generated voltage into zener voltage. In order to have to increase the current which flows MN1, it will come back to the 1st problem of the above.

[0013] When the above problem is summarized, when the load (capacity) of a level shift circuit is large, or when improvement in the speed is required, in a circuit, it turns out conventionally that there is a problem that generating loss of a circuit increases.

[0014] The purpose of this invention is to realize the semiconductor circuit which can drive a capacitive load at low consumption and a high speed in simple circuitry in view of the above-mentioned problem.

[0015]

[Means for Solving the Problem] The semiconductor circuit of this invention is connected electrically [the 1st switching element by which one main terminal is electrically connected to a reference potential, for example, touch-down potential, and an end] at the main terminal of another side of the 1st switching element, and the end of a capacitive load, and the other end is equipped with the resistance which connects with the other end and DC power supply of a capacitive load electrically. The above circuit constitutes the so-called level shift circuit, for example. Furthermore, this semiconductor circuit is connected electrically [one main terminal]

to a reference potential, and the main terminal of another side is equipped with the 2nd switching element electrically connected to the main terminal of another side of the 1st switching element. As the 1st and 2nd switching elements, various solid-state-switching components, such as MOSFET and a bipolar transistor, are applicable.

[0016] In order to charge a capacitive load, when carrying out the turn-on of the 1st and 2nd switching elements according to the semiconductor circuit of such this invention, conduction time amount can be shortened more greatly than the current which flows the current which flows to the 2nd switching element to the 1st switching element. That is, a capacitive load is charged by the high speed with a comparatively big current. Furthermore, since the electrical potential difference of a capacitive load is maintained with the necessary minimum current which flows to the 1st switching element after a capacitive load is charged, the power consumption of a semiconductor circuit can be reduced.

[0017] Moreover, the semiconductor circuit of this invention is connected electrically [the 1st switching element by which one main terminal is electrically connected to a reference potential, and an end] at the main terminal of another side of the 1st switching element, and the end of a capacitive load, and the other end is equipped with the resistance which connects with the other end and DC power supply of a capacitive load electrically. Furthermore, this semiconductor circuit is connected electrically [one main terminal] at the end of a capacitive load, and the main terminal of another side is equipped with the 2nd switching element electrically connected to the other end of resistance.

[0018] According to the semiconductor circuit of such this invention, when making a capacitive load discharge, the charge accumulated in the capacitive load can be discharged at a high speed by carrying out the turn-on of the 2nd switching element.

[0019] In addition, as a capacitive load, there is gate capacitance of insulated-gate mold semiconductor devices, such as an insulated-gate bipolar transistor (IGBT) and MOSFET, for example. According to this invention, when carrying out the juxtaposition drive of many insulated-gate mold semiconductor devices or driving an insulated-gate mold semiconductor device with big current capacity, namely, even if it is the case where big gate capacitance serves as a load, improvement in the speed and the on-off drive of a low power are possible. Especially, the monolithic IC by which many drive circuits were carried in one semiconductor chip is realized by being a low power.

[0020] According to this invention, loss of a circuit can be mostly performed with zero as mentioned above by having divided the drive of the capacitive load of a level shift circuit into capacity charge and electrical-potential-difference maintenance. Furthermore, correspondence can be easily done also to increase or improvement in the speed of load-carrying capacity. Furthermore, it is possible to turn off a level shift circuit at a high speed, without increasing the current of a level shift circuit.

[0021] Therefore, it is easy circuitry and a high speed, and since a low loss circuit is realizable, the formation of a MONORISHI rucksack is easy, and when the input of a level shift circuit is OFF further, considering as a power sequencing free-lancer is possible.

[0022]

[Embodiment of the Invention] The circuitry which is the 1st example of this invention is shown and explained to drawing 2 . In drawing 2 , the drain of the 1st NMOS transistor MN1 is connected to the end of resistance R1, and the anode of zener diode ZD1, and the source of MN1 is connected to GND. The other end of resistance R1 and the cathode of zener diode ZD1 are connected to a high voltage power supply VH. In the above level shift circuits, the reference

voltage generating circuit B which added the 2nd NMOS transistor MN2 is constituted as an object for charge of the gate capacitance CGS of the PMOS transistor MP 1. The drain of MN2 is connected to the anode of ZD1, and the source is connected to GND. The gate is minded [VH] for the source of MP1 which is the load of a level shift circuit, resistance R2 is minded [of ZD1] for a drain, and it connects with GND. An output terminal OUT is formed between the drain of MP1, and R2.

[0023] Hereafter, it explains per actuation of this example.

[0024] NMOS In the gate of MN2, it is PMOS. After charging the gate capacitance CGS of MP1 at high speed, a control pulse which serves as OFF is inputted.

[0025] It is PMOS by the zener diode ZD1 connected to resistance R1 and juxtaposition although the current I2 flowed from the power source VH to MN2 through resistance R1 and the electrical potential difference occurred in the both ends of resistance R1 now supposing MN2 turned on. The electrical potential difference decided by zener voltage is impressed, and the electrical potential difference between the source gates of MP1 is PMOS. MP1 can be set to ON.

[0026] Next, NMOS It is PMOS supposing MN2 turns off. For maintaining ON of MP1, it is necessary to continue impressing the zener voltage of zener diode ZD1 to the gate of MP1 in a predetermined electrical potential difference and this case. Maintenance of this electrical potential difference is NMOS. It carries out by making MN1 turn on and passing a current I1. This maintenance current I1 is made into necessary minimum.

[0027] It sets in the reference voltage generating circuit of drawing 2 , and is NMOS. MN2 is NMOS. The area of an active field is larger than MN1, and it is NMOS to the electrical potential difference between [same] the drain sources, and the same gate voltage. MN2 is NMOS. A bigger current than MN1 can be passed. The gate voltage signal pulse of the same magnitude which starts to coincidence is impressed to the gate of each NMOS. NMOS The time amount width of face of the gate voltage signal pulse impressed to MN2 is NMOS. It is shorter than MN1. Therefore, NMOS The current I2 which flows to M2 is NMOS. A value is larger than the current I1 which flows to MN1, and conduction time amount is short. Thus, since gate capacitance CGS is charged by the high speed according to the comparatively big current I2, it is PMOS. The turn-on of MP1 is carried out to a high speed. Furthermore, the conduction time amount of a current I2 is a short time, and after CGS charge is PMOS. Since only the minimum current I1 flows in order to maintain the ON state of MP1, the power loss of a circuit is reduced compared with the former.

[0028] In addition, coincidence is sufficient as the standup of the gate voltage signal pulse of each NMOS, and the gate voltage signal pulse of NMOSM2 may start first. Moreover, NMOS The current I2 of M2 is NMOS. If it becomes larger than the current I1 of MN1, the electrical-potential-difference values of the gate control electrical-potential-difference pulse of each NMOS may differ.

[0029] It is PMOS by low consumption by the above. The high speed ON of MP1 becomes possible.

[0030] The 2nd example of this invention is shown in drawing 3 .

[0031] In drawing 3 , in the 1st example, resistance R3 and R4 is inserted, respectively between the source of the NMOS transistor MN1, and GND, and between the source of MN2, and GND, and the reference voltage generating circuit C is constituted.

[0032] Moreover, also in this example, I2 has a value larger than I1 like an example 1. Furthermore, the magnitude of I2 and I1 changes not only with the magnitude and VI property of a gate signal electrical potential difference of each NMOS but with resistance R3 and R4 in this

example. Therefore, the degree of freedom of adjustment of I1 and I2 becomes large, and optimization of I1 and I2 becomes easy.

[0033] In applying this example to an integrated circuit, resistance R3 and R4 enables it for a method or laser trimming of connection of two or more resistance elements etc. to adjust resistance. This sets to two or more manufactured integrated circuits, and it is NMOS. The property and NMOS of MN1 Even if dispersion arises in the property of MN2, the value of I1 of each integrated circuit and the value of I2 can be arranged with about 1 constant value, respectively. Therefore, the manufacture yield of an integrated circuit improves.

[0034] In addition, although the thing of R3 and R4 to establish for both is desirable in order to enlarge a current I1 and the degree of freedom of adjustment of I2, the current adjustment of extent only whose R3 is also only R4 is possible.

[0035] The 3rd example of this invention is shown in drawing 4 .

[0036] In drawing 4 , the gate is connected to the end of resistance R1 so that resistance R1 may be connected to a high voltage power supply VH for the drain of the NMOS transistor MN3 between gate drains in addition to the 2nd example. Furthermore, the anode of diode D1 is connected to the source of MN3, a cathode is connected to the gate of MN3, respectively, and the reference voltage generating circuit D is constituted.

[0037] It explains per this actuation below.

[0038] PMOS When MP1 is ON, a current flows from a power source VH to diode D1 through zener diode ZD1, and it is NMOS. The electrical potential difference of D1 low by forward voltage VF is built over the gate of MN3 to the source. Therefore, NMOS MN3 serves as OFF.

[0039] On the other hand, it is NMOS. MN1 and MN2 are turned off and it is PMOS. When setting MP1 to OFF, a charge is supplied to resistance R1 from the gate capacitance CGS of MP1, and an electrical potential difference occurs to the both ends of R1. By this electrical potential difference, it is NMOS. MN3 turns on and gate capacitance CGS is discharged. At this time, it is NMOS. MN3 is chosen so that it may have the current capacity which can discharge gate capacitance CGS by predetermined time amount.

[0040] NMOS MN2 is PMOS. After charging the gate of MP1 at high speed, control which serves as OFF is performed. PMOS For maintaining ON of MP1, it is necessary to continue impressing the zener voltage of zener diode ZD1 to the gate in a predetermined electrical potential difference and this case. Maintenance of this electrical potential difference is NMOS. It carries out to MN1 by passing a current. This maintenance current is made into necessary minimum. It is PMOS by low consumption by the above. It is shown in the following examples that the high speed ON of MP1 becomes possible.

[0041] For example, it is PMOS about the load of 150V and a level shift circuit in a power source VH. If the charging time of gate capacitance is set to 50nS(s) in order to accelerate ON of PMOS when it considers as the gate capacitance of MP1 and zener voltage of 100pF and zener diode ZD1 is set to 6V for this capacity value and, the current required for charge will be set to 12mA as it was mentioned above. It is NMOS in order to maintain ON of PMOS. It is loss of 0.1mA, then a level shift circuit about the current passed to MN1. Generating loss =(charging current) x (VH supply voltage)

x (on-duty of NMOS MN2)

+ Maintenance current x (VH supply voltage)

x (on-duty of NMOS MN1)

= 12(mA) x150(V) x50x10~9+0.1(mA) x150(V) x1 =90(nW)+15 (mW)

**15 (mW)

It becomes. Although the charging current is the same as the former, it is making the charging time into necessary minimum, and it is conventional circuit 1.8W about generating loss. It can decrease to 1% or less.

[0042] PMOS MP1 is made to turn off.

[0043] Circuit actuation is PMOS. It is NMOS when MP1 is ON. MN3 is OFF and PMOS. It is NMOS when setting MP1 to OFF. MN3 is set to ON and it is NMOS about discharge of gate capacitance CGS. It carries out by MN3. NMOS MN3 is NMOS, although it shall choose so that it may have the current capacity which can discharge gate capacitance CGS by predetermined time amount. MN3 is NMOS. Since it is the circuit to turn off (namely, when PMOS MP1 is ON) when MN1 is ON, the problem in a circuit is solved conventionally which was mentioned above. From the above thing to NMOS It is PMOS by having added MN3 and diode D1. It becomes possible to turn off MP1 at a high speed. Furthermore, NMOS which is the input of a level shift circuit according to the circuit of this invention Since it will work so that a level shift circuit may be turned off at a high speed if MN1 and MN2 are set to OFF, it can do with a sequence free-lancer also to the sequence of a required power source in a circuit with two or more power sources.

[0044] The 4th example of this invention is shown in drawing 5.

[0045] In drawing 5, resistance R5 is inserted between the gates of high voltage power supplies VH and MP1 in the 3rd example.

[0046] Hereafter, it explains per this effectiveness. It is PMOS when not forming resistance R5. MP1 and NMOS It is PMOS when potential of VTHP, VTHN, and a power source VH is set to HV for the threshold voltage of MN3, respectively. The gate potential of MP1 remains by VTHN, and as long as there is no junction leak in zener diode ZD1, it cannot be given to HV. That is, 0V of reference voltage are not realized. As for this, leakage current will flow to MP1 in the case of VTHN>VTHP. Then, if this resistance R5 is formed, the gate potential of PMOSMP1 can be given to HV, and it can realize that reference voltage is set to 0V.

[0047] The 5th example of this invention is shown in drawing 6.

[0048] In drawing 6, in addition to the example of drawing 5, it considers as a multichannel output, and the example which connected the logical circuit inputted into MN1 and MN2 and the drive circuit of a capacitive load is shown. As long as the drive circuit Q of a capacitive load is a drive circuit which consists of MOS, IGBT, diode, resistance, etc., they may be circuitry other than the circuit shown in drawing 6. The display of flat display panels, such as a discharge-in-gases display panel (plasma-display panel) or an electroluminescence display panel (EL display panel), can be driven at a high speed by low consumption using this semiconductor integrated circuit.

[0049] It explains using the timing chart which shows actuation of this example to drawing 6 and drawing 7.

[0050] First, the notation in a timing chart is explained.

[0051]

ST1, ST2 -- It is ***** to the gate of MN1 and MN2, respectively. Number
VGMP -- Gate potential of MP1 (MP2, --, MPn) S1, S2, Sn -- They are Q1, QB1, Q2, QB2, and Qn, respectively. Input signal to the gate of QBn

OUT1, OUT2, OUTn -- Output signal

In drawing 6, the gate of MN1 and MN2 is made to input and turn on a high, and the gate capacitance of PMOSMP1, MP2, and MPn** is charged. Under the present circumstances, the current I1 which flows to MN1 is set up so that it may become a necessary minimum current that

ON maintenance can be carried out [of PMOS]. In order to charge the gate of current 12PMOS which flows to MN2 at a high speed, it considers as a larger current than I1. Only the zener voltage decided by ZD1 from VH descends, and charge completes the gate potential of this PMOS. While this charge finishes, low consumerization can be attained in turning off MN2. [0052] PMOS It is Bottom IGBT while MP1, MP2, and Mpn turn on. QT1, QT2, and QTn serve as ON. A low can be made to output to outputs OUT1 and OUT2 and OUTn one by one in inputting a pulse signal into the driving signals S1, S2, and Sn of Bottom IGBT one by one in this condition.

[0053]

[Effect of the Invention] According to this invention, ON-OFF is possible at a high speed, and the drive circuit of the capacitive load of a low power can be realized.

CLAIMS

[Claim(s)]

[Claim 1] The 1st switching element which has the main terminal and control terminal of a pair and by which one main terminal is electrically connected to a reference potential, The resistance to which it has both ends, an end is electrically connected to the main terminal of another side of the 1st switching element, and the end of a capacitive load, and the other end is electrically connected to the other end and DC power supply of a capacitive load, A semiconductor circuit equipped with the 2nd switching element by which it has the main terminal and control terminal of a pair, connects electrically [one main terminal] to a reference potential, and the main terminal of another side is electrically connected to the main terminal of another side of the 1st switching element.

[Claim 2] A larger semiconductor circuit with short conduction time amount than the current to which the current which flows to said 2nd switching element flows to said 1st switching element in the semiconductor circuit of claim 1.

[Claim 3] The semiconductor circuit said whose capacitive load is the gate capacitance of an insulated-gate mold semiconductor device in the semiconductor circuit of claim 1.

[Claim 4] The semiconductor circuit with which parallel connection of the zener diode is further carried out to said resistance electrically in the semiconductor circuit of claim 1.

[Claim 5] One [said] main terminal of said 1st switching element is a semiconductor circuit which connects with a reference potential electrically further through a resistance element in the semiconductor circuit of claim 1.

[Claim 6] The main terminal of said another side of said 2nd switching element is a semiconductor circuit which connects with a reference potential electrically further through a resistance element in the semiconductor circuit of claim 1.

[Claim 7] The 1st switching element which has the main terminal and control terminal of a pair and by which one main terminal is electrically connected to a reference potential, The resistance to which it has both ends, an end is electrically connected to the main terminal of another side of the 1st switching element, and the end of a capacitive load, and the other end is electrically connected to the other end and DC power supply of a capacitive load, A semiconductor circuit equipped with the 2nd switching element by which it has the main terminal and control terminal

of a pair, connects electrically [one main terminal] at the end of a capacitive load, and the main terminal of another side is electrically connected to the other end of resistance.

[Claim 8] The semiconductor circuit to which the turn-on of said 2nd switching element is carried out in the semiconductor circuit of claim 7 when making said capacitive load discharge.

[Claim 9] The semiconductor circuit said whose capacitive load is the gate capacitance of an insulated-gate mold semiconductor device in the semiconductor circuit of claim 6.

[Claim 10] The 1st switching element which has the main terminal and control terminal of a pair and by which one main terminal is electrically connected to a reference potential, The resistance to which it has both ends, an end is electrically connected to the main terminal of another side of the 1st switching element, and the other end is electrically connected to the end and DC power supply of a capacitive load, The 2nd switching element by which it has the main terminal and control terminal of a pair, one main terminal is connected electrically [the main terminal of another side] at the end of a capacitive load by connecting with the other end of a capacitive load electrically, and a control terminal is electrically connected to the end of resistance, The zener diode electrically connected between the main terminals of the 2nd switching element, The diode electrically connected between one main terminal of the 2nd switching element, and a control terminal, A semiconductor circuit equipped with the 3rd switching element by which it has the main terminal and control terminal of a pair, connects electrically [one main terminal] to a reference potential, and the main terminal of another side is electrically connected to one main terminal of the 2nd switching element.